PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-143782
(43)Date of publication of application : 28.05.1999

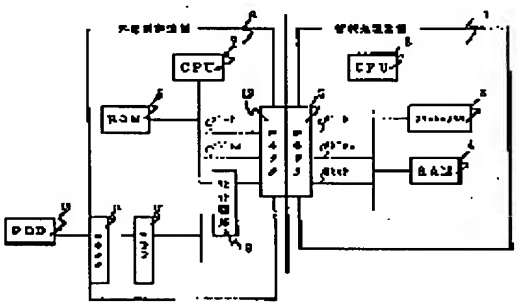
(51)Int.Cl. G06F 12/16
G11C 16/02

(21)Application number : 09-305379
(22)Date of filing : 07.11.1997

(71)Applicant : NEC OFF SYST LTD
(72)Inventor : OKI SHOJI

(54) REWRITING DEVICE OF NON-VOLATILE MEMORY IN INFORMATION PROCESSOR AND METHOD THEREFOR

(57)Abstract:
PROBLEM TO BE SOLVED: To safely execute rewriting of a non-volatile memory such as a flash memory in an information processor.
SOLUTION: When an outside controller 6 is connected with an information processor 1 and activated, a CPU 2 is reset by a reset circuit 9, and the CPU 2 is separated from a main bus, and the control of a flash memory 3 and of an information processor 1 is transferred to a CPU 7. On the other hand, the CPU 7 executes a data load program stored in an ROM 8, and writes updated program data from an FDD 13 in an RAM 4. The written updated program data are written in the flash memory 3 by the execution of a flash memory writing program stored in the ROM 8. Thus, even when the writing of the updated program data in the flash memory 3 fails, the rewriting can be attained.



LEGAL STATUS

[Date of request for examination] 07.11.1997
[Date of sending the examiner's decision of rejection] 19.06.2001
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平11－143782

(43)公開日　平成11年(1999)５月28日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｇ０６Ｆ　12/16	３１０	Ｇ０６Ｆ　12/16	３１０Ａ
Ｇ１１Ｃ　16/02		Ｇ１１Ｃ　17/00	６０１Ｑ

審査請求　有　　請求項の数11　ＯＬ　（全８頁）

(21)出願番号　特願平9－305379

(22)出願日　平成９年(1997)11月７日

(71)出願人　000232058
日本電気オフィスシステム株式会社
東京都港区芝４丁目13番２号

(72)発明者　大木　尚司
東京都港区芝四丁目13番２号　日本電気オフィスシステム株式会社内

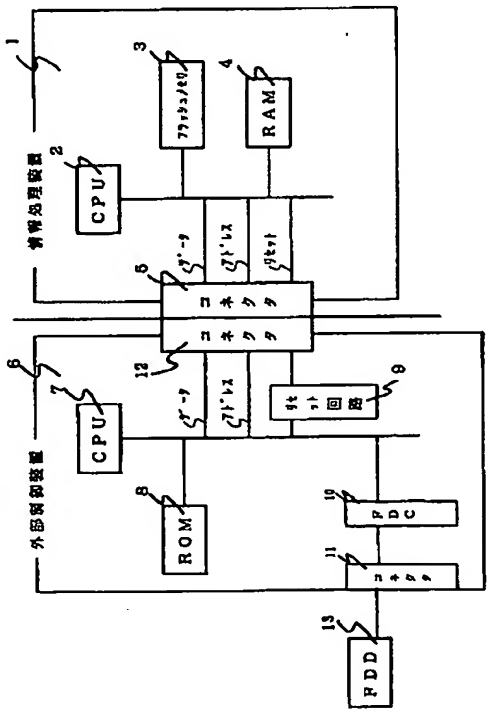
(74)代理人　弁理士　岩佐　義幸

(54)【発明の名称】　情報処理装置における不揮発性メモリの書き換え装置および方法

(57)【要約】

【課題】　情報処理装置におけるフラッシュメモリ等の不揮発性記憶装置の書き換えを安全に実行すること。

【解決手段】　情報報処理装置１に外部制御装置６を接続し、起動すると、リセット回路９がＣＰＵ２にリセットをかけＣＰＵ２をメインバス上から切り離し、フラッシュメモリ３および情報処理装置１の制御がＣＵＰ７に移る。一方、ＣＰＵ７は、ＲＯＭ８に格納されたデータロードプログラムを実行し、ＦＤＤ１１からの更新プログラムデータをＲＡＭ４に書き込む。書き込まれた更新プログラムデータは、ＲＯＭ８に格納されたフラッシュメモリ書き込みプログラムの実行により、フラッシュメモリ３に書き込まれる。これにより、万一、更新プログラムデータのフラッシュメモリ３への書き込みが失敗した場合でも、再度書き込みが可能となる。



【特許請求の範囲】

【請求項１】情報処理装置内部に設けられ、システムプログラムを格納する不揮発性記憶装置に対して、前記情報処理装置の外部に設けられた外部制御装置から、前記不揮発性記憶装置の書き換えを行う、情報処理装置における不揮発性メモリの書き換え装置であって、

前記外部制御装置は、

前記情報処理装置に搭載のＣＰＵにリセットをかけるリセット手段と、

前記不揮発性記憶装置を書き換えるための更新プログラムデータを読み込む更新プログラムデータ読み込み手段と、

前記情報処理装置のメインバスを介し、前記不揮発性記憶装置に対して、前記更新プログラムデータの書き込みを行う手段と、

を備えたことを特徴とする情報処理装置における不揮発性メモリの書き換え装置。

【請求項２】情報処理装置と前記情報処理装置におけるシステムプログラムの書き換えを行う外部制御装置とからなる、情報処理装置における不揮発性メモリの書き換え装置であって、

前記情報処理装置全体の制御を行う第１のＣＰＵと、

システムプログラムを格納する前記情報処理装置に搭載された不揮発性記憶装置と、

データを一時的に格納するための前記情報処理装置に搭載されたＲＡＭと、

前記情報処理装置に前記外部制御装置を接続するための第１のコネクタと、

前記情報処理装置における第１のＣＰＵにリセットをかけるための前記外部制御装置に搭載されたリセット手段と、

前記リセット手段により、前記第１のＣＰＵにリセットがかけられた状態において、前記外部制御装置全体の制御および前記情報処理装置における不揮発性記憶装置およびＲＡＭの制御を行う第２のＣＰＵと、

データロードプログラムおよびフラッシュメモリ書き込みプログラムを格納する前記外部制御装置に搭載されたＲＯＭと、

外部記録媒体から前記不揮発性記憶装置の内容を書き換えるための更新プログラムデータを読み込むための前記外部制御装置に搭載された更新プログラムデータ読み込み手段と、

前記外部制御装置を前記情報処理装置に接続するための第２のコネクタと、

を備えたことを特徴とする情報処理装置における不揮発性メモリの書き換え装置。

【請求項３】前記第２のＣＰＵは、前記不揮発性記憶装置やＲＡＭおよびＲＯＭをアクセスするための、アドレスおよびデータ幅をサポートするのに十分な安価なデバイスにて構成されることを特徴とする請求項２に記載の情報処理装置における不揮発性メモリの書き換え装置。

【請求項４】前記リセット手段は、前記情報処理装置の電源を監視する、電源監視ＩＣにより構成されることを特徴とする請求項１，２，または３に記載の情報処理装置における不揮発性メモリの書き換え装置。

【請求項５】前記更新プログラムデータ読み込み手段は、ＦＤやＣＤ－ＲＯＭ，またはＭＯやＺＩＰなどのリムーバブルディスクを読み取るための装置であることを特徴とする請求項１～４のいずれかに記載の情報処理装置における不揮発性メモリの書き換え装置。

【請求項６】前記不揮発性記憶装置は、フラッシュメモリにより構成されることを特徴とする請求項１～５のいずれかに記載の情報処理装置における不揮発性メモリの書き換え装置。

【請求項７】情報処理装置内部に設けられ、システムプログラムを格納する不揮発性記憶装置に対して、前記情報処理装置の外部に設けられた外部制御装置から、前記不揮発性記憶装置の書き換えを行う、情報処理装置における不揮発性メモリの書き換え方法であって、

前記外部制御装置から前記情報処理装置のＣＰＵにリセットをかけ、

前記外部制御装置から前記情報処理装置のメインバスを介して、前記不揮発性記憶装置に対する書き込みを行う、

ことを特徴とする情報処理装置における不揮発性メモリの書き換え方法。

【請求項８】情報処理装置と前記情報処理装置におけるシステムプログラムの書き換えを行う外部制御装置とからなる、情報処理装置における不揮発性メモリの書き換え方法であって、

前記外部制御装置に搭載の第２のＣＰＵは、

リセット手段を制御して、前記情報処理装置に搭載の第１のＣＰＵにリセット信号を出力することで、前記第１のＣＰＵをメインバスから切り放し、

前記第１のＣＰＵがメインバスから切り放されると、前記外部制御装置に搭載のＲＯＭをアクセスして、前記ＲＯＭに格納されたデータロードプログラムの実行を開始し、

前記データロードプログラムの実行によって、ＦＤコントローラを制御し、前記ＦＤコントローラとコネクタを介して接続されたＦＤドライブユニットから、不揮発性記憶装置の更新プログラムデータを読み出し、

さらに、前記データロードプログラムの実行によって、前記ＦＤドライブユニットより読み出された更新プログラムデータを、前記情報処理装置に搭載のＲＡＭにデータロードし、

前記ＲＡＭへのデータロードが完了すると、前記ＲＯＭをアクセスして、格納されたフラッシュメモリ書き込みプログラムの実行を開始し、

前記フラッシュメモリ書き込みプログラムの実行によっ

て、前記ＲＡＭにデータロードされた更新プログラムデータを、前記不揮発性記憶装置に書き込む、
ことを特徴とする情報処理装置における不揮発性メモリの書き換え方法。
【請求項９】前記リセット手段は、前記情報処理装置の電源を監視する、電源監視ＩＣにより構成されることを特徴とする請求項８に記載の情報処理装置における不揮発性メモリの書き換え方法。
【請求項１０】前記ＦＤドライブユニットは、ＣＤ－ＲＯＭ，またはＭＯやＺＩＰなどのリムーバブルディスクを読み取るためのドライブユニットであって、
前記ＦＤコントローラは、前記ＣＤ－ＲＯＭ，またはＭＯやＺＩＰなどのリムーバブルディスクを読み取るためのドライブユニットを制御するためのコントローラであることを特徴とする請求項８または９に記載の情報処理装置における不揮発性メモリの書き換え方法。
【請求項１１】前記不揮発性記憶装置は、フラッシュメモリにより構成されることを特徴とする請求項８，９，または１０に記載の情報処理装置における不揮発性メモリの書き換え方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は情報処理装置に係り、特に情報処理装置内部に設けられた不揮発性記憶装置（以下、不揮発性メモリともいう）内における、プログラムデータ等の記憶データの書き換えを安全に行い得る、情報処理装置における不揮発性記憶装置の書き換え装置および方法に関する。
【０００２】
【従来の技術】近年、情報処理装置内にて使用される、データの書き込みや消去をプログラマブルに行えるメモリとして、従来のＰ－ＲＯＭ（ユーザがＰ－ＲＯＭライタで記憶情報を書き込むことが可能で、且つ何度か書き換え可能なメモリ）に代わり、フラッシュメモリを搭載したものが増加の傾向にある。これは、フラッシュメモリが、従来のイレーズ装置を用いて消去し、書き込み装置を用いて書き込みを行うＰ－ＲＯＭ等と比べて、はるかに使いやすためである。
【０００３】即ち、従来のＰ－ＲＯＭ等では、情報処理装置より一旦取り外し、専用のイレーズ装置にセットすることで書き込まれた内容（データ）を消去し、専用の書き込み装置（Ｐ－ＲＯＭライタ等）にセットすることで書き込みを行っていた。これに対して、フラッシュメモリでは、フラッシュメモリを情報処理装置に搭載したままの状態で、プログラム電源電圧を印加のうえ、消去コマンドを発行することでフラッシュメモリの内容を消去したり、同じくプログラム電源電圧を印加のうえ、書き込みコマンドを発行することでプログラムを書き込むことが容易に行い得るためである。
【０００４】また、近年、このような書き込みおよび消去が可能な不揮発性記憶装置に１つであるフラッシュメモリに、オペレーティングシステム（ＯＳ）やＢＩＯＳ（ベーシックＩ／Ｏシステム）等を格納し、システムＲＯＭの代わりとして使用する場合が増えてきている。
【０００５】図３は、従来の情理処理装置における不揮発性記憶装置の書き換え装置の一例を示すブロック図である。
【０００６】図３の従来の情理処理装置における不揮発性記憶装置の書き換え装置は、情報処理装置１４の全体を制御するＣＰＵ２と、ＯＳやＢＩＯＳ等のシステムプログラム，並びにデータロードプログラムやフラッシュメモリ書き込みプログラム等のロードモジュールを格納するフラッシュメモリ３と、データを一時的に格納するＲＡＭ４と、フラッシュメモリ３を書き換えるためのデータおよびプログラム等の更新プログラムデータをＦＤ（フロッピィーディスク）媒体から読み出すための外部ファイル装置であるＦＤＤ（フロッピィーディスクドライブ）１３と、ＦＤＤ１３を制御するＦＤＣ（フロッピィーディスクコントローラ）１０と、ＦＤＣ１０とＦＤＤ１３とを接続するためのＦＤＤコネクタ１１と、により構成される。
【０００７】以上の構成において、フラッシュメモリ３の書き換えを行う場合には、例えばＦＤＤコネクタ１１にＦＤＤ１３を接続することにより、情報処理装置１４を起動させる。これにより、フラッシュメモリ３に格納されたデータロードプログラムが実行され、ＦＤＤ１３からフラッシュメモリ３の内容を更新するためのプログラムデータがＲＡＭ４にロードされる。
【０００８】さらに、ＣＰＵ２はフラッシュメモリ３に格納されたフラッシュメモリ書き込みプログラムを実行し、ＲＡＭ４にロードされた更新プログラムデータを読み出しては、フラッシュメモリ３に書き込む。以上により、不揮発性記憶装置の書き換えが行われる。
【０００９】従来、このような技術（情報処理装置）として、例えば、特開平７－１１４７９７号公報に開示されたものがある。特開平７－１１４７９７号公報に記載の発明には、前記フラッシュメモリの書き換え時にのみ、外部電源装置からプログラム電源の供給を行う構成とすることで、不要な誤書き込みを防止するための技術が開示されている。
【００１０】しかしながら、上記従来の技術においては、フラッシュメモリの書き込み時の誤書き込みにより、フラッシュメモリの一群に格納されたデータロードプログラム等が破壊された場合には、２度とＯＳ等のプログラムデータの更新が出来なくなると共に情報処理装置を立ち上げる（起動する）ことが不可能となってしまうという問題があった。
【００１１】一方、前記問題に対して、データロードプログラム等を格納する専用のＲＯＭを持つことで一応の解決を図っているが、この方法では、装置（情報処理装

置）の小型化を防げてしまうという問題（欠点）があった。

【００１２】

【発明が解決しようとする課題】以上述べたように、上記従来の技術によると、フラッシュメモリの書き込み時に誤書き込み障害が発生した場合、フラッシュメモリの一部に格納されたデータロードプログラムやフラッシュメモリ書き込みプログラムあるいはＯＳ等が破壊されてしまうことにより、二度と情報処理装置を立ち上げる（起動する）ことが不可能になってしまい、修理あるいは廃棄せざるお得なくなってしまうという問題があった。

【００１３】また、このような装置では、フラッシュメモリの内容は、頻繁には更新されないのが一般的であるが、それにもかかわらず、更新プログラムデータを、外部ファイル装置から読み込むための制御を行うＦＤＣや接続コネクタ等を、情報処理装置内に備えなくてはならず、小型化を防げてしまうという問題（欠点）があった。

【００１４】そこで、本発明の目的は、フラッシュメモリの書き込み時に誤書き込み障害が発生した場合でも、リカバリー処理が可能で、且つフラッシュメモリ（不揮発性記憶装置）の書き換え時以外では必要としない外部ファイル装置であるＦＤＤを制御するＦＤＣを、外部制御装置側に備えることにより、情報処理装置の小型化を可能とした、情報処理装置における不揮発性記憶装置の書き換え装置および方法を提供することにある。

【００１５】

【課題を解決するための手段】上記目的を達成するため、本発明は、情報処理装置と前記情報処理装置におけるシステムプログラムの書き換えを行う外部制御装置とからなる、情報処理装置における不揮発性メモリの書き換え装置であって、前記情報処理装置全体の制御を行う第１のＣＰＵと、システムプログラムを格納する前記情報処理装置に搭載された不揮発性記憶装置と、データを一時的に格納するための前記情報処理装置に搭載されたＲＡＭと、前記情報処理装置に前記外部制御装置を接続するための第１のコネクタと、前記情報処理装置における第１のＣＰＵにリセットをかけるための前記外部制御装置に搭載されたリセット手段と、前記リセット手段により前記第１のＣＰＵにリセットがかけられた状態において、前記外部制御装置全体の制御および前記情報処理装置における不揮発性記憶装置およびＲＡＭの制御を行う第２のＣＰＵと、データロードプログラムおよびフラッシュメモリ書き込みプログラムを格納する前記外部制御装置に搭載されたＲＯＭと、外部記録媒体から前記不揮発性記憶装置の内容を書き換えるための更新プログラムデータを読み込むための、前記外部制御装置に搭載された更新プログラムデータ読み込み手段と、前記外部制御装置を前記情報処理装置に接続するための第２のコネクタと、を備えて構成されることを特徴とするものである。

【００１６】また、本発明は、情報処理装置と前記情報処理装置におけるシステムプログラムの書き換えを行う外部制御装置とからなる、情報処理装置における不揮発性メモリの書き換え方法であって、前記外部制御装置に搭載の第２のＣＰＵは、リセット手段を制御して、前記情報処理装置に搭載の第１のＣＰＵにリセット信号を出力することで、前記第１のＣＰＵをメインバスから切り放し、前記外部制御装置に搭載のＲＯＭをアクセスして、前記ＲＯＭに格納されたデータロードプログラムの実行を開始し、前記データロードプログラムの実行によってＦＤコントローラを制御し、前記ＦＤコントローラとコネクタを介して接続されたＦＤドライブユニットから不揮発性記憶装置の更新プログラムデータを読み出し、さらに、前記データロードプログラムの実行によって前記ＦＤドライブユニットより読み出された更新プログラムデータを前記情報処理装置に搭載のＲＡＭにデータロードし、データロードが完了すると前記ＲＯＭをアクセスして格納されたフラッシュメモリ書き込みプログラムの実行を開始し、前記フラッシュメモリ書き込みプログラムの実行によって、前記ＲＡＭにデータロードされた更新プログラムデータを前記不揮発性記憶装置に書き込む、ことを特徴とするものである。

【００１７】上記外部制御装置からの不揮発性記憶装置の書き換え手段を有する本発明によれば、外部制御装置のＣＰＵが、外部制御装置に備えたＲＯＭに格納された不揮発性記憶装置を書き換えるプログラムを実行させ、情報処理装置における不揮発性装置の書き込みを行なわせることにより、万が一、書き込み作業中に誤書き込み障害が発生しても再度書き込みを実行すれば良く、不揮発性記憶装置の書き換え作業を安全に行うことができる。

【００１８】即ち、例えば、不揮発性記憶装置に記憶されるシステムデータの書き換え動作中に、誤書き込み障害が発生したり、或いは誤って情報処理装置の電源をＯＦＦにしてしまった場合であっても、再度書き換え動作を実行することにより、情報処理装置そのものが動作不能になることを防止できるので、安心して、書き換え作業を行うことができる。

【００１９】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【００２０】図１は本発明の情報処理装置における不揮発性記憶装置の書き換え装置の実施の形態を示すブロック図である。

【００２１】図１において、本発明の情報処理装置１は、情報処理装置１の全体制御を行うＣＰＵ２と、ＢＩＯＳやＯＳ等のシステムプログラムを格納するためのフラッシュメモリ３と、データを一時的に格納するための

メモリであるＲＡＭ４と、情報処理装置１とフラッシュメモリ３を書き換えるための外部制御装置６とを接続するためのコネクタ５と、を備えて構成される。

【００２２】なお、フラッシュメモリ３は、基板実装後もプログラマブルにデータの書き換えが可能であるため、必要に応じＯＳ等の更新を自由に行うことができる。このＯＳ等の更新は、情報処理装置１の、外部制御装置６との接続を行うためのコネクタ５を介して、外部制御装置６と接続されることによってフラッシュメモリ３のプログラムデータの書き換えが行われる。

【００２３】一方の外部制御装置６は、外部制御装置６の全体制御および情報処理装置１におけるフラッシュメモリ３およびＲＡＭ４の書き込み制御を行うＣＰＵ７と、データロードプログラムやフラッシュメモリ書き込みプログラム等を格納するＲＯＭ８と、情報処理装置１におけるＣＰＵ２にリセットをかけるためのリセット回路９と、ＦＤ媒体から更新プログラムデータを読み込むためのＦＤＤ１３と、ＦＤＤ１３を制御するためのＦＤＣ１０と、外部制御装置６と情報処理装置１とを接続するためのコネクタ１２と、を備えて構成される。

【００２４】なお、ＣＰＵ７で使用するＣＰＵは、フラッシュメモリ３やＲＡＭ４およびＲＯＭ８をアクセスするのに適した（アクセスする程度で十分な）アドレスおよびデータ幅のものであれば良く、ＣＰＵ２で使用するＣＰＵ（デバイス）ほどの性能・機能を有する必要はなく、安価のもを使用すれば良い。

【００２５】また、更新プログラムデータを読み込む、外部ファイル装置は、ＦＤＤに限らず、ＣＤ－ＲＯＭ（コンパクトディスク・リードオンリーメモリ）や、ＭＯ（光磁気ディスク装置）或いはＺＩＰ（大容量フロッピィーディスク装置）等のリムーバブルディスク装置等であっても良い。

【００２６】ところで、リセット回路９は、情報処理装置１の電源を監視する、図示しない電源監視ＩＣ等により構成され、情報処理装置１の電源電圧レベルが、所定のスレッショルドレベル以上になると、ハイレベルの信号を出力し、維持する。そして、電源電圧レベルが、所定のスレッショルドレベル以下になると、前記出力信号をローレベルの信号出力し、維持する。この出力信号が、ＣＰＵ２に対するリセット信号として用いられる。尚、所定のスレッショルドレベルとは、情報処理装置１で使用される駆動用電源電圧に適した電源監視ＩＣの選択により、決定される。

【００２７】次に、本発明の情報処理装置の不揮発性記憶装置における動作について、図１および図２を参照しながら説明を行う。

【００２８】図２は本発明の情報処理装置における不揮発性記憶装置の書き換え装置の動作の一例を示すフローチャートである。

【００２９】以下、フラッシュメモリ３に記憶されたＢＩＯＳやＯＳ等に対して、バグの修正やバージョンアップ等により変更の必要が生じ、外部制御装置６より、情報処理装置１のフラッシュメモリ３の書き換えを行う場合について説明する。

【００３０】先ず、情報処理装置１と外部制御装置６とを、それぞれの装置に設けられたコネクタ５とコネクタ１２により接続する。これにより、外部制御装置６から情報処理装置１のフラッシュメモリ３への書き込み準備が為される。続いて、情報処理装置１の電源をオンとすることにより、フラッシュメモリ３の書き換え処理が開始される（ステップＳ１）。

【００３１】情報処理装置１の電源がオンされると、それを感知したリセット回路９は、ＣＰＵ２にリセット信号を出力する（ステップＳ２）。リセット回路９よりリセット信号の供給されたＣＰＵ２は、フラッシュメモリ３の書き換えの実行中において、常にリセット状態が維持される。即ち、フラッシュメモリ３の書き換えの実行中において、ＣＰＵ２のアドレスバスやデータバス等は、常に、ハイインピーダンス状態となり、ＣＰＵ２はメインバスから切り放された状態となる。これにより、ＣＰＵ７に、情報処理装置１の各デバイス（フラッシュメモリ３およびＲＡＭ４等）および外部制御装置６の各デバイスの制御が移り、ＣＰＵ７による、フラッシュメモリ３の書き換え処理が実行（開始）されことになる。

【００３２】書き換え処理制御を行うＣＰＵ７は、先ず、ＲＯＭ８をアクセスし、格納されたデータロードプログラムの実行を開始する（ステップＳ３）。即ち、ＦＤＣ１０を制御して、コネクタ１１を介して接続されたＦＤＤ１３から、フラッシュメモリ３の更新プログラムデータが読み込まれる。ＦＤＤ１３より読み込まれた更新プログラムデータは、データロードプログラムの実行によってＲＡＭ４にデータロードされる（ステップＳ４）。

【００３３】ＲＡＭ４への更新プログラムデータのロードが終了すると、ＣＰＵ７は、ＲＯＭ８に格納されたフラッシュメモリ書き込みプログラムの実行を開始する（ステップＳ５）。即ち、フラッシュメモリ書き込みプログラムの実行により、ＲＡＭ４にロードされた更新プログラムデータは、フラッシュメモリ３に書き込まれる（ステップＳ６）。

【００３４】そして、フラッシュメモリ３の書き換え処理が完了すると、情報処理装置１の電源がオフされ（ステップＳ７）、リセット回路９がステップＳ２の場合と逆の動作を行うことにより、ＣＰＵ２は、メインバスを再びその制御下に置き、外部制御装置６との接続が解除されて、外部制御装置６（ＣＰＵ７）による情報処理装置１のフラッシュメモリ３の書き換えが終了する。

【００３５】

【発明の効果】以上述べたように、上記本発明によれば、データロードプログラムやフラッシュメモリ書き込

みプログラムを、外部制御装置（フラッシュメモリ書き換え装置）に設けたＲＯＭに格納することにより、フラッシュメモリの書き換え動作中に情報処理装置の電源を誤ってオフにしたり、或いはデータ化け等による誤ったデータがフラッシュメモリに書き込まれることにより、ＯＳが正常に動作しなくなった場合でも、外部制御装置に設けたＲＯＭから再度書き込み動作を実行することにより、正しいプログラムデータをフラッシュメモリに書き込むことが可能となり、情報処理装置におけるフラッシュメモリ（不揮発性記憶装置）の書き換え作業が安全に行え、これにより、書き換え作業の失敗により、情報処理装置が二度と起動し得なくなるような状態が発生することを回避できる。

【００３６】また、データロードプログラムやフラッシュメモリ書き込みプログラムを、外部制御装置に設けたＲＯＭに格納することにより、前記プログラムを情報処理装置のフラッシュメモリに格納する必要がなくなり、メモリ容量の圧迫を軽減することができる。

【００３７】さらに、ＦＤＣおよびＦＤＤコネクタを外部制御装置に設けることにより、その分、情報処理装置の小型化を可能とすることができる。

【図面の簡単な説明】

【図１】本発明の情報処理装置における不揮発性記憶装置の書き換え装置の実施の形態を示すブロック図である。

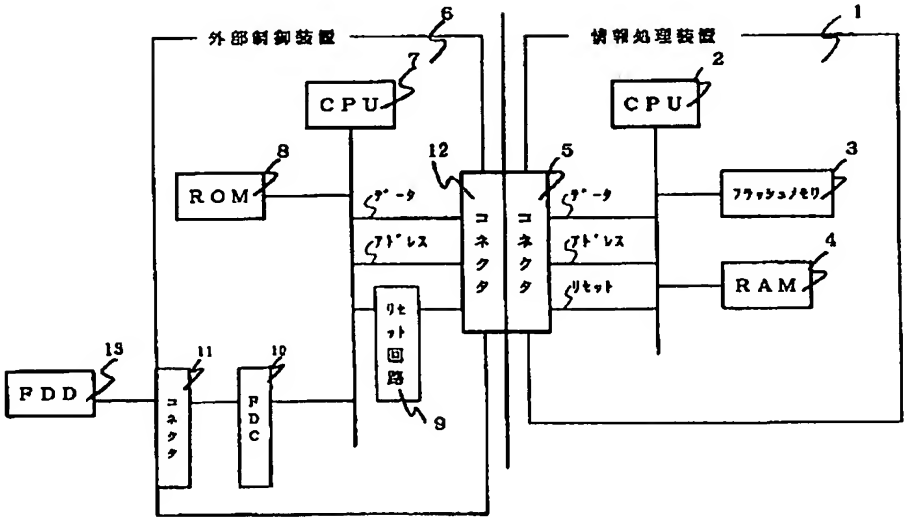
【図２】本発明の情報処理装置における不揮発性記憶装置の書き換え装置の動作の一例を示すフローチャートである。

【図３】従来の情理処理装置における不揮発性記憶装置の書き換え装置の一例を示すブロック図である。

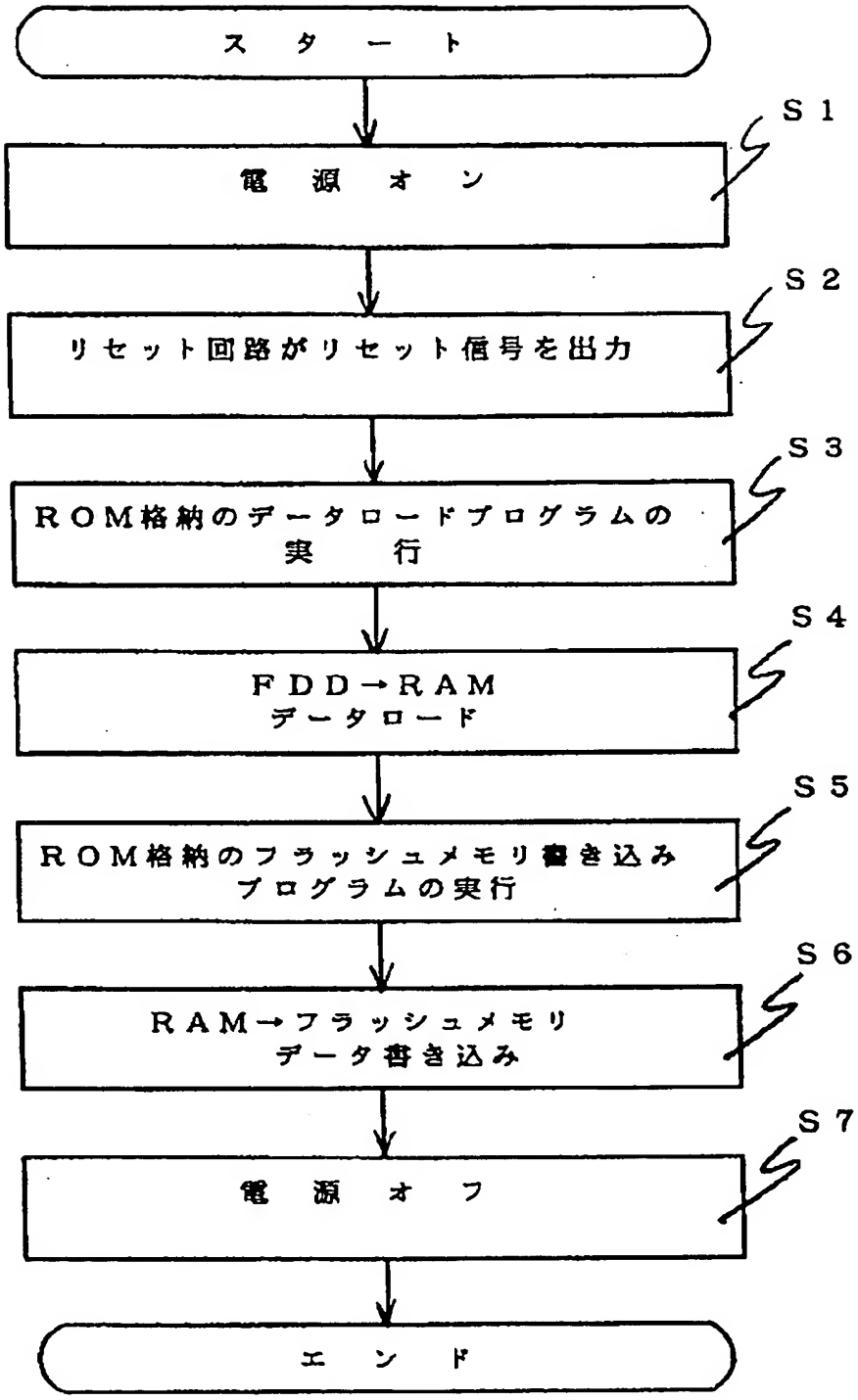
【符号の説明】

１　情報処理装置
２　ＣＰＵ
３　フラッシュメモリ（不揮発性記憶装置）
４　ＲＡＭ
５　コネクタ
６　外部制御装置（不揮発性記憶装置の書き換え装置）
７　ＣＰＵ
８　ＲＯＭ
９　リセット回路
１０　ＦＤＣ（ＦＤコントローラ）
１１　ＦＤＤコネクタ
１２　コネクタ
１３　ＦＤＤ（ＦＤドライブユニット）
１４　従来の情報処理装置

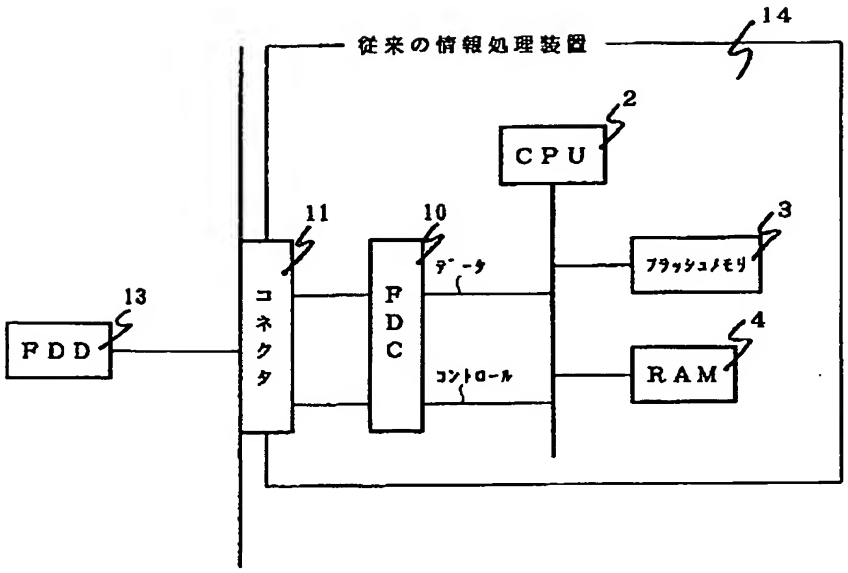
【図１】



【図2】


スタート
S1
電源オン
S2
リセット回路がリセット信号を出力
S3
ROM格納のデータロードプログラムの実行
S4
FDD→RAM データロード
S5
ROM格納のフラッシュメモリ書き込みプログラムの実行
S6
RAM→フラッシュメモリ データ書き込み
S7
電源オフ
エンド

【図３】


14
従来の情報処理装置
2
CPU
11
10
3
フラッシュメモリ
データ
13
FDD
コネクタ
FDC
4
RAM
コントロール